

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-243367

(43)Date of publication of application : 29.10.1986

(51)Int.Cl.

G01R 21/00

(21)Application number : 60-084184

(71)Applicant : YOKOGAWA ELECTRIC CORP

(22)Date of filing : 19.04.1985

(72)Inventor : ABE EISUKE

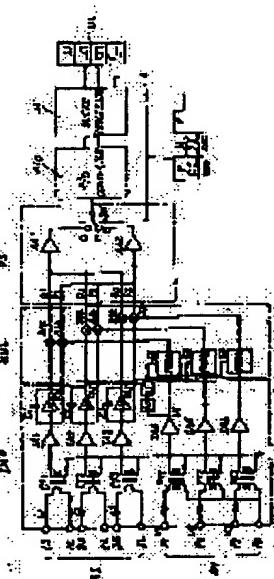
HAYASHI EIJI

## (54) MULTI-PHASE DIGITAL POWER-FACTOR MEASURING APPARATUS

### (57)Abstract:

PURPOSE: To enable the measurement of true power-factor without requiring any linearizer or the like, by comparing the ratio between effective power and reactive power with a  $\tan \theta$  of a trigonometric function table to judge the advance or delay.

CONSTITUTION: Alternating currents  $i_1W_i3$  fed to current transformers CT1WCT3 are supplied to switches S1aWS3b of a multiplication circuit MUL through preamplifiers IA1WIA3 and phase shifting circuits PS1WPS3 and AC voltage  $v_1Wv_3$  from transformers PT1WPPT2 done to pulse range modulation circuits PWM1WPWM3. Reactive powers  $Q_1WQ_3$  and effective powers  $P_1WP_3$  in respective phases are added with adders AA1 and AA2 and inputted into an A/D converter through a change-over switch SW. Then, the ratio between the reactive power Q and the effective power P is computed with a microprocessor  $\mu P$ ,  $\theta$  is compared with the numerals of  $\tan \theta$  of a table sequentially from 0 to  $90^\circ$  and the numeral data of  $\cos \theta$  at the  $\theta$  as increased is shown on a display section DI together with the polarity judged from data Q.



### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the

⑨ 日本国特許庁 (JP)      ⑩ 特許出願公開  
 ⑪ 公開特許公報 (A)      昭61-243367

⑫ Int. Cl.<sup>4</sup>  
 G 01 R 21/00

識別記号      庁内整理番号  
 A-7359-2G

⑬ 公開 昭和61年(1986)10月29日

審査請求 未請求 発明の数 1 (全 6 頁)

⑭ 発明の名称 多相デジタル力率測定装置

⑮ 特 願 昭60-84184

⑯ 出 願 昭60(1985)4月19日

⑰ 発明者 阿部 栄介 武藏野市中町2丁目9番32号 横河北辰電機株式会社内

⑱ 発明者 林 栄二 武藏野市中町2丁目9番32号 横河北辰電機株式会社内

⑲ 出願人 横河北辰電機株式会社 武藏野市中町2丁目9番32号

⑳ 代理人 弁理士 小沢 信助

### 明細書

#### 1 発明の名称

多相デジタル力率測定装置

#### 2 特許請求の範囲

交流電流および各相回路を介して得られる各相の交流電流とパルス幅変調回路によってパルス幅変調された各相間の入力交流電圧とをそれぞれ乗算したのも計算して得た被測定交流回路の有効電力Pと無効電力Qのデジタルデータが取り込まれQ/Pの換算を行なうマイクロプロセッサを備え、このマイクロプロセッサにおいて前記Q/Pの値と20Mに予めメモリされた三角関数テーブル内のθの値とを比較し、Q/Pの値がθの値より大きくなったときのみθの値を前記テーブルより読み出して表示部で表示させるとともに、前記無効電力データQより進み、連れを特別しその界

本発明は、進み、連れの特別機能をもった電力化による多相用デジタル力率測定装置に関するものである。

#### (従来の技術)

進み、連れ (LEAD, LAG) の判別機能を持った多相用電力比による力率の測定は有効電力Pおよび無効電力Qから求めることができる。この他の力率測定装置として専用電気計算を用い、計測電流ImをPとQの正接 ( $\tan \theta = Q/P$ ) に比例させ、直達板によってそれをθに変換することにより進み、連れの特別機能付の力率測定を可能にした周波数指定形のものが公知である。また、力率測定をデジタル計算で実現したものも公知であるが、デジタル計算では特殊なりニアライザが必要とする。また、デジタル計算ではPとQから直接力率 ( $\cos \theta = P/(P+Q)$ ) を計算しても、進み、

## 特開昭61-243367 (2)

なりニアライザなどを必要とすることなく、進み、遅れの判別機能をもち測定回路数或いは並列に直接関係なく真の力率を測定することができる電力比による多機能のデジタル力率測定装置を実現したものである。

### 【問題点を解決するための手段】

本発明は上記の目的を達成する為に、被測定交流回路の有効電力Pと無効電力Qのデジタルデータが取り込まれQ/Pの演算を行なうマイクロプロセッサを備え、このマイクロプロセッサにおいて前記Q/Pの値とROMに予めメモリされた三角関数テーブルの出力の値とを比較し、Q/Pの値が出力の値より大きくなつたときは出力の値を前記テーブルより読み出して表示部で表示させるとともに、前記無効電力データより進み、遅れを判別しその判別結果を前記表示部で表示させるよう構成したものである。以下、実施例について説明する。

### 【実施例】

図1は本発明装置の一実施例の回路図である。

がそれぞれ与えられようになっている。スイッチS1a, S1bはそれぞれパルス幅変調回路PWN1の出力によりON, OFFされる。スイッチS1aがパルス幅変調回路PWN1の出力でON, OFFされることにより入力電圧v1と90度位相された入力電圧v3が乗算され、スイッチS1aの出力側には第1相の無効電力に対応した信号q1が取り出される。また、スイッチS1bがパルス幅変調回路PWN1の出力によってON, OFFされることにより、入力電圧v1と入力電圧v3が乗算され、スイッチS1bの出力側には第1相の有効電力に対応した信号p1が取り出される。同様に、スイッチS2a, S2b, S3a, S3bをパルス幅変調回路PWN2, PWN3の出力によってON, OFFさせることにより、各スイッチの出力側には第2相、第3相の無効電力、有効電力に対応した信号q2, p2, q3, p3がそれぞれ生じる。FDは周波数出回路、回路P1は逆数

率において、AIは交流電流入力端子、AVは同じく電圧入力端子で、ここでは3相6線式の電力回路について掲示してある。INPは入力回路、KULは乗算回路、PSは加算手段を含む切換回路である。

入力回路INPにおいて、CT1~CT3は変流器、PT1~PT3は変圧器、IA1~IA3は前置増幅器、PS1~PS3は移相回路である。変流器CT1~CT3に供給される入力交流電流i1~i3は前置増幅器IA1~IA3を介して移相回路PS1~PS3に与えられる。移相回路PS1~PS3はそれぞれ演算増幅器A1~A3とコンデンサーC1~C3よりなる複分形のもので、入力電流i1~i3はこの移相回路PS1~PS3を経ることによりそれぞれその位相が90度シフトされる。

KULは乗算回路で、パルス幅変調回路PWN1~PWN3とアナログスイッチS1a, S1b~S3a, S3bよりなるもので、スイッチS1aは前記移相回路PS1の出力が与えられ、スイッチS1bには前置増幅器IA1の出力が直接与えられるようになっている。同様に、スイッチS2a, S3aには各相回路PS2, PS3の出力が、スイッチS2b, S3bには前置増幅器IA2, IA3の出力

がそれぞれ与えられようになっている。スイッチS1a, S1bはそれぞれパルス幅変調回路PWN1の出力によりON, OFFされる。スイッチS1aがパルス幅変調回路PWN1の出力でON, OFFされることにより入力電圧v1と90度位相された入力電圧v3が乗算され、スイッチS1aの出力側には第1相の無効電力に対応した信号q1が取り出される。また、スイッチS1bがパルス幅変調回路PWN1の出力によってON, OFFされることにより、入力電圧v1と入力電圧v3が乗算され、スイッチS1bの出力側には第1相の有効電力に対応した信号p1が取り出される。同様に、スイッチS2a, S2b, S3a, S3bをパルス幅変調回路PWN2, PWN3の出力によってON, OFFさせることにより、各スイッチの出力側には第2相、第3相の無効電力、有効電力に対応した信号q2, p2, q3, p3がそれぞれ生じる。FDは周波数出回路、回路P1は逆数

率(1/w)の数値は三角関数表の1.000倍として用いられる。このテーブルは

## 特開昭61-243367 (3)

(2) 例外として、 $\alpha \beta$  の  $\theta = 0.0$  度~3.0 度の範囲では  $\alpha \beta = 1.0000$  としてある。

前記した切換スイッチ SW はマイクロプロセッサ P の出力によって所定の時間間隔を置いて交互に切り換えられる。切換スイッチ SW が端子 1 に接続されているとき A/D 变換器は無効電力 Q をデジタル信号に変換し、端子 2 に接続されているとき有効電力 P をデジタル信号に変換する。マイクロプロセッサ P は A/D 变換器が出力するデジタル・データ Q と P を RAM に取り込み、下式(1) に示す計算を行なう。

$$(Q / P) \times 1,000 = T \quad \dots \dots (1)$$

マイクロプロセッサ P は(1)式によって求めた数値 T を第 2 図のテーブルの  $\alpha \beta$  の数値と  $\theta$  が 0.0 度から 90.0 度に向って順次その大きさを比較する。そして、数値 |T| が初めて  $\alpha \beta$  の数値を超えて大きくなったらそのときの  $\theta$  における  $\alpha \beta$  の数値データを表示部 11 に送出する。

一方、電圧入力 V の位相に対して電流入力 I の位相の進み、遅れに対して無効電力 Q はプラスの

多相デジタル力率測定装置を得ることができる。

本発明装置に用いられるパルス幅変調回路 PWM1 ~ PWM3 は特に限定するものではないが、第 1 図に用いられるパルス幅変調回路 PWM1 (= PWM2, PWM3) の回路図を第 3 図に示し、以下これを説明する。

第 3 図において、R1 は PWM1 回路の入力抵抗器、A1 は演算増幅器、C1 は積分用のコンデンサーで、R1 と共に C1 により積分器 IC1 が構成されている。COM は抵抗器 R2 と R3 およびインバータ U1, U2 による比較器である。なお、インバータ U1, U2 としては例えば CMOS で構成した NAND ゲートのような高入力インピーダンスをもつ論理素子であればよく、また U1, U2 の 2 つを用いたが、これは極性合せの為で、1 個であってもよい。積分器 IC1 の出力端は抵抗器 R2 を介してインバータ U1, U2 の直列回路に接続されている。インバータ U2 の出力端は

極性またはマイナスの極性を取り得る。したがって、第 1 式の  $\theta$  は進み、遅れに従って “+” または “-” の極性となる。マイクロプロセッサ P は数値 T がプラスかマイナスを判断し、プラスのときは記号 “+” を  $\alpha \beta$  の数値の前に付すべくそのデータを表示部 11 に送出する。またマイナスのときは記号 “-” を  $\alpha \beta$  の数値の前に付すべくそのデータを表示部 11 に送出する。その結果、例えば  $T = -82$  のとき、表示部 11 はこれを “-0.995” と表示する。

なお、上述の実施例では 3 相 4 線式の場合について説明したが、3 相 3 線式あるいは單相であってもよい。なおまた、多相回路 PS1 ~ PS3 を電流側に設けた場合について説明したが、電圧側に設けるようにしてもよい。

## 〔発明の効果〕

以上説明した如く、本発明によればマイクロプロセッサ P を用いることにより進み、遅れの判別機能をもち、亞説に関係なく実の功率を測定することのできる電力化による多相用のデジタル

より、抵抗器 R2, R3 とインバータ U1, U2 によってヒステリシスをもつ比較器 COM が構成される。また、インバータ U2 の出力端が抵抗器 R4 を介して積分器 IC1 の入力端に接続されることにより、単走形のパルス幅変調回路が構成される。 $+E_s$  は基準の電圧で、この電圧はインバータ U1, U2 の電源端に加えられ、また遮性反転回路 AV に加えられて遮性反転されて  $-E_s$  となり、その  $-E_s$  は抵抗器 R5 を介して積分器 IC1 の入力端に加えられている。以後の説明において、電圧  $-B_3$  によって抵抗器 R5 を流れる電流を  $-I_3$  とする。インバータ U1, U2 の他の電源端は共通電位点に接続されている。

ここで、積分器 IC1 の出力端、比較器 COM を構成するインバータ U1 の入力端、U2 の出力端の電位を  $+e_1, +e_2, +e_3$  とすると、 $+e_1, +e_2, +e_3$  の各波形は第 4 図の (1), (2), (3) の如くなる。 $e_3$  は (3) で示され

## 特開昭61-243367 (4)

積分器IGは入力電圧Viによる電圧-Tvと電圧+Bsによる電流+Iaおよび電圧-Esによる電流-Iaとを加算積分する。正常な動作状態において過渡期にならないように |Tv|<|Ia|と選ばれているので、比較器COMが電圧+Esを出力している期間、積分器IGは(-Tv)と(+Ia)とを加算し、その積分出力e1は第4図(1)のT1で示す如く一定の傾斜で減少する。そして、このT1の期間、電圧e2は抵抗器R2とR3で定まる傾斜で負の回復で示される如く下降し、その電圧がインバータU1のスレッシュホールド電圧Vsに達するとインバータU2の入出力電圧e2のレベルが“0”となる。インバータU2の出力電圧e2、即ち電圧+Esが0Vになると積分器IGは-(Tv+Ia)の電流を加算積分する。その結果、積分器IGの出力電圧e1は第4図(1)のT2期間で示す如くT1期間より急激な傾斜で上昇する。積分器IGの出力電圧e1が正の方向に向い始めると電圧e2も上昇し、その値がVsに達するとe2は急激に上昇する。このような第4図の如きに示す波形の電圧e2がインバータU1に加えられるので、インバータU2の出力端の電圧e3

この回路においては比較器COMの出力を積分器IGに供給しているが、これをしない場合には上記の特許公報で示されるように系の周期を決める為のクロック・パルスを発生させる発振器を必要とする。ところで、第1図の装置においては無効電力Qを得るために入力電流iの位相を90度シフトさせるようとしている。このシフト用にコンデンサCを用いているが、コンデンサCのインピーダンスは被測定交流回路の周波数fに逆比例する。その結果、この種の装置においてはユーザでは使用周波数を指定し、メーカーはその指定周波数に見合ったものを製造しなければならず煩らわしく、かつ高価になる欠点があった。本発明においてはパルス幅変調回路PWM1(PWM2,PWM3)の基準電圧Esを利用することによって、移相用コンデンサによる周波数誤差を補償するようにしている。即

は第4図の(3)で示される如く+Bsの電圧となる。このように、積分器IGにはT1期間電圧Viと電圧+Bsおよび-Bsの加算値に対応した電流の和が与えられ、T2の期間電圧Viと電圧-Bsに対応した電流の和が与えられる。即ち、積分器IGはそれらに与えられる電圧の和が常になるように駆動される。よって、パルス幅変調回路PWM1の系が平衡している状態では下式(1)が成立する。

$$((Vi+Bs) \cdot T)/(T1+T2) + (Vi-Bs) \cdot T2/(T1+T2) = 0 \quad \dots \dots (1)$$

(1)式において、  $(T1+T2)=T$

(2)式より第3回路のパルス幅変調信号の変調度Mは

$$M = Vi \cdot ((T2)/(T1+T2)) \cdot 1/Bs \quad \dots \dots (2)$$

となる。

この種のパルス幅変調回路は例えば特公昭64-14692号に示される如く公知である。しかし、第3図の如く比較器にヒステリシスを持たないもを用いた場合、上記の特許公報で示されるように基準電圧-Bs, +Bsを割りに必要とする。また、第3

うに電流i3と電圧Viとが乗算される。したがって、電圧+Esが周波数fに逆比例するものを使いれば、移相用コンデンサCによる周波数fの項が第4式で示される如く消去され、変調度Mは周波数fに依存しなくなる。

$$((k \cdot i1 \cdot 1/f) \cdot v1) / (Bs \cdot 1/f) = k \cdot i1 \cdot v1/Bs \quad \dots \dots (3)$$

(3)式において、 kは定数

入力交換回路の周波数fの逆数を得る回路として第1回の装置においては回路FDとFIを設けてある。回路FDは周波数出回路、回路FIは逆数回路である。周波数出回路FDの入力端は前置増幅器TA6の出力端に接続され、 FDの出力端は逆数回路FIを介して電圧Bsとしてパルス幅変調回路PWM1の電源端に加えられている。逆数回路FIの出力はパルス幅変調回路PWM2,PWM3の電源としてもそれぞれ加

特開昭61-243367 (5)

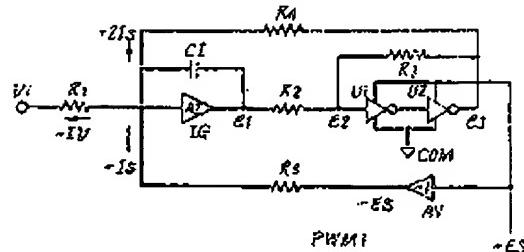
を示す接続図、第2図は第1回路のROMにメモリされているテーブル、第3図は第1回路に用いられるパルス検出回路の接続図、第4図は第3回路の動作波形図である。

P51~P53 … 移相回路、PWH1~PWH3 はパルス検出回路、E1~E3 … マイクロプロセッサ、DI … 表示部。

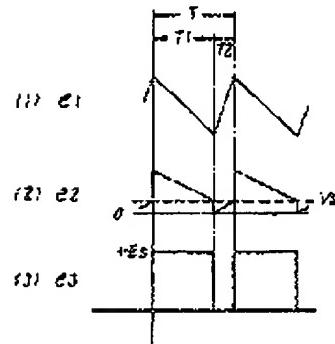
代理人弁理士 小沢信助



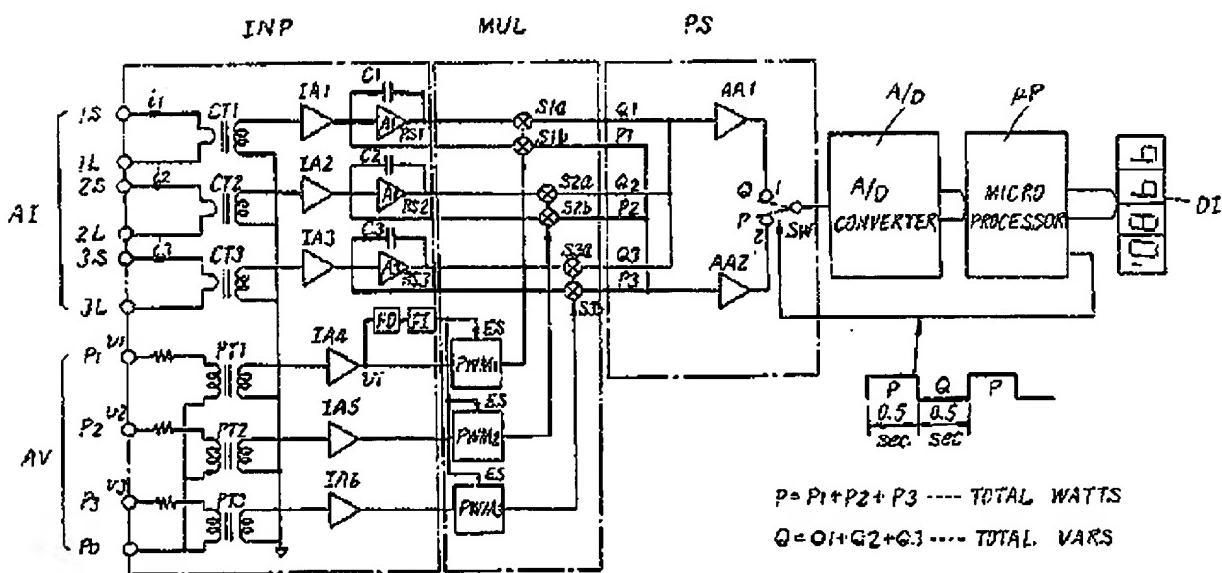
第3回



第4回



第1回



特開昭61-243367 (6)

第2回

$\theta$ 度	$\tan \theta$	$\cos \theta$
0.0	0.0	1.000
0.2	0.333	
0.4	0.667	
0.6	1.000	
0.8	1.333	
1.0	1.778	
1.2	2.222	
1.4	2.667	
1.6	3.111	
1.8	3.556	
2.0	4.000	
2.2	4.444	
2.4	4.889	
2.6	5.333	
2.8	5.778	
3.0	6.222	
3.2	6.667	
3.4	7.111	
3.6	7.556	
3.8	8.000	
4.0	8.444	
4.2	8.889	
4.4	9.333	
4.6	9.778	
4.8	10.222	
5.0	10.667	
5.2	11.111	
5.4	11.556	
5.6	12.000	
5.8	12.444	
6.0	12.889	
6.2	13.333	
6.4	13.778	
6.6	14.222	
6.8	14.667	
7.0	15.111	
7.2	15.556	
7.4	16.000	
7.6	16.444	
7.8	16.889	
8.0	17.333	
8.2	17.778	
8.4	18.222	
8.6	18.667	
8.8	19.111	
9.0	19.556	
9.2	20.000	
9.4	20.444	
9.6	20.889	
9.8	21.333	
10.0	21.778	
	$\infty$	0.000